

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-304302

(43)公開日 平成5年(1993)11月16日

(51)Int.Cl.⁵H 0 1 L 29/788
29/792
21/302

識別記号

庁内整理番号

J 8518-4M

F I

H 0 1 L 29/ 78

3 7 1

技術表示箇所

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平4-131576

(22)出願日 平成4年(1992)4月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 真有 浩一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

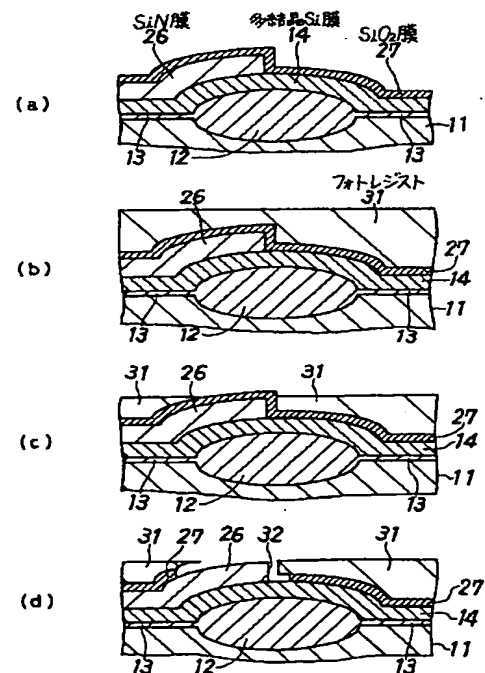
(74)代理人 弁理士 土屋 勝

(54)【発明の名称】 導電膜のパターン形成方法及びこの方法によって製造した不揮発性半導体記憶装置

(57)【要約】

【目的】 写真製版技術の限界よりも狭い微細なスペース幅で導電膜のパターンを形成する。

【構成】 制御ゲートの延在方向で浮遊ゲート間に設けるべきスペースの片側のエッジとSiN膜26のエッジとが一致する様に、多結晶Si膜14上でSiN膜26をパターンニングする。そして、薄くて段差被覆性の良いSiO₂膜27を堆積させ、フォトリソスト31を平坦に塗布する。その後、SiO₂膜27が露出するまでフォトリソスト31をエッチバックし、露出したSiO₂膜27を等方性エッチングし、SiN膜26とフォトリソスト31とをマスクにして多結晶Si膜14を異方性エッチングする。このため、多結晶Si膜14同士のスペース幅は、SiO₂膜27の膜厚と同じになる。



1

【特許請求の範囲】

【請求項 1】 導電膜を形成する工程と、
前記導電膜とはエッチング特性が異なる第 1 の膜を前記導電膜上でパターンニングする工程と、
前記導電膜及び前記第 1 の膜とはエッチング特性が異なる第 2 の膜を前記導電膜及び前記第 1 の膜上に形成する工程と、
前記第 2 の膜とはエッチング特性が異なる平坦化膜を前記第 2 の膜上に形成する工程と、
前記第 2 の膜の一部が露出するまで前記平坦化膜をエッチバックする工程と、
露出した前記第 2 の膜を等方性エッチングする工程と、
前記等方性エッチングの後に、前記第 1 の膜と前記平坦化膜とをマスクにして前記導電膜をエッチングする工程とを有する導電膜のパターン形成方法。

【請求項 2】 パターンニングした請求項 1 記載の導電膜を浮遊ゲートとする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本願の発明は、導電膜のパターン形成方法及び浮遊ゲートを有する不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】 図 3 は、EPROM 等の様に浮遊ゲートを有する不揮発性半導体記憶装置の一従来例を示している。この一従来例を製造するためには、Si 基板 11 の表面に、素子分離用の SiO₂ 膜 12 を LOCOS 法で行列状に形成し、SiO₂ 膜 12 同士の間の Si 基板 11 の表面に、浮遊ゲート用のゲート酸化膜である SiO₂ 膜 13 を形成する。

【0003】 次に、多結晶 Si 膜 14 を全面に堆積させ、多結晶 Si 膜 14 上にレジストを塗布する。その後、公知の写真製版技術によってレジストに開口 15 を形成し、このレジストをマスクにして多結晶 Si 膜 14 をエッチングする。そして、レジストを除去した後、多結晶 Si 膜 14 の表面の酸化等によって、浮遊ゲートと制御ゲートとの間の絶縁膜である SiO₂ 膜 16 を形成する。

【0004】 次に、再び多結晶 Si 膜 17 を全面に堆積させ、多結晶 Si 膜 17、14 と SiO₂ 膜 16、13 とを制御ゲートのパターンに加工する。この結果、多結晶 Si 膜 17 から帯状の制御ゲートが形成されると共に、多結晶 Si 膜 14 から各メモリセル毎に分離された浮遊ゲートが形成される。

【0005】 次に、多結晶 Si 膜 17、14 等と SiO₂ 膜 12 とをマスクにして Si 基板 11 に不純物を導入して、各メモリセルに共通のソースである拡散領域 21 と、各メモリセルのドレインである拡散領域 22 とを形成する。そして、多結晶 Si 膜 17 等を層間絶縁膜（図示せず）で覆い、拡散領域 22 に達するコンタクト孔 2

2

3 をこの層間絶縁膜に開孔する。

【0006】 その後、コンタクト孔 23 を介して拡散領域 22 にコンタクトするビット線である A1 配線 24 を形成する。なお、コンタクト孔 23 及び A1 配線 24 は、図 3 (b) (c) には示していない。

【0007】

【発明が解決しようとする課題】 ところで、以上の様な一従来例の製造方法では、制御ゲートの延在方向で浮遊ゲート同士を各メモリセル毎に分離するために、写真製版技術によって形成した開口 15 を有するレジストをマスクにして、多結晶 Si 膜 14 をエッチングしている。従って、0.6 μm が最小寸法である現在の写真製版技術では、多結晶 Si 膜 14 同士のスペース幅 25 も最小でも 0.6 μm になる。

【0008】 しかし、このスペース幅 25 は、メモリセルの特性上からは 0.6 μm も必要ではなく、構造だけ考えれば SiO₂ 膜 16 の膜厚の 2 倍つまり 0.5 μm もあれば十分である。

【0009】 しかも、図 3 (a) から明らかな様に、スペース幅 25 はメモリセル面積を決定する重要なパラメータの一つであり、スペース幅 25 が小さければ小さいほどメモリセル面積が小さくなる。従って、スペース幅 25 を小さくすることができない上述の一従来例の製造方法では、メモリセル面積を小さくすることが難しく、EPROM 等の高集積化が難しかった。

【0010】

【課題を解決するための手段】 請求項 1 の導電膜のパターン形成方法は、導電膜 14 を形成する工程と、前記導電膜 14 とはエッチング特性が異なる第 1 の膜 26 を前記導電膜 14 上でパターンニングする工程と、前記導電膜 14 及び前記第 1 の膜 26 とはエッチング特性が異なる第 2 の膜 27 を前記導電膜 14 及び前記第 1 の膜 26 上に形成する工程と、前記第 2 の膜 27 とはエッチング特性が異なる平坦化膜 31 を前記第 2 の膜 27 上に形成する工程と、前記第 2 の膜 27 の一部が露出するまで前記平坦化膜 31 をエッチバックする工程と、露出した前記第 2 の膜 27 を等方性エッチングする工程と、前記等方性エッチングの後に、前記第 1 の膜 26 と前記平坦化膜 31 とをマスクにして前記導電膜 14 をエッチングする工程とを有している。

【0011】 請求項 2 の不揮発性半導体記憶装置は、請求項 1 の方法でパターンニングした導電膜 14 を浮遊ゲートとしている。

【0012】

【作用】 請求項 1 の導電膜のパターン形成方法では、第 2 の膜 27 を薄く形成することによって、第 1 の膜 26 の側部を第 2 の膜 27 で側壁状に覆うことができる。このため、平坦化膜 31 から露出した第 2 の膜 27 を等方性エッチングすることによって、第 1 の膜 26 の側部を覆っている側壁状の第 2 の膜 27 が除去され、第 1 の膜

3

26と平坦化膜31との間に第2の膜27の膜厚を幅とするスペースが形成される。

【0013】従って、第2の膜27を等方性エッチングした後に第1の膜26と平坦化膜31とをマスクにして導電膜14をエッチングすることによって、第2の膜27の膜厚のスペース幅25で、つまり写真製版技術の限界よりも狭いスペース幅25で、導電膜14同士を分離することができる。

【0014】請求項2の不揮発性半導体記憶装置では、写真製版技術の限界よりも狭いスペース幅25で浮遊ゲート14同士が分離されているので、メモリセル面積を小さくすることができる。

【0015】

【実施例】以下、浮遊ゲートを有する不揮発性半導体記憶装置の製造に適用した本願の発明の一実施例を、図1、2を参照しながら説明する。なお、図3に示した一従来例と対応する構成部分には、同一の符号を付してある。

【0016】本実施例でも、図1(a)に示す様に、多結晶Si膜14を全面に堆積させるまでは、図3に示した一従来例と実質的に同様の工程を実行する。しかし本実施例では、その後、SiN膜26を0.5 μ mの膜厚に全面に堆積させ、制御ゲートの延在方向で浮遊ゲート間に設けるべきスペースの片側のエッジとSiN膜26のエッジとが一致する様に、SiN膜26をパターンニングする。

【0017】その後、例えばTEOSガスを原料とする減圧CVD法で、段差被覆性の良いSiO₂膜27を0.3 μ mの膜厚に全面に堆積させる。この様にSiO₂膜27の膜厚が薄く且つ段差被覆性が良いので、図1(a)に示す様に、SiN膜26の側部をSiO₂膜27が側壁状に覆う。

【0018】次に、図1(b)に示す様に、平坦性の優れた薄膜として例えばフォトレジスト31を1 μ mの膜厚に平坦に塗布し、図1(c)に示す様に、SiO₂膜27の一部が露出するまでフォトレジスト31をエッチバックする。

【0019】この時、エッチバックの速度やフォトレジスト31の膜厚のバラツキによってSiO₂膜27の露出の度合いにバラツキが生じるが、SiO₂膜27のうちでSiN膜26の側部を側壁状に覆っている部分が露出し且つ多結晶Si膜14の上面に堆積している部分が露出しない程度に、フォトレジスト31が残ればよい。従って、フォトレジスト31のエッチバックのある程度のバラツキは吸収することができる。

【0020】次に、SiO₂に対する公知の等方性エッチング技術、例えばHF溶液を用いたウエットエッチング法によって、図1(d)に示す様に、フォトレジスト31から露出しているSiO₂膜27をエッチングする。

4

【0021】このエッチングは、SiN膜26とフォトレジスト31との間に開口32を形成し且つこの開口32から多結晶Si膜14の表面が露出するまで十分に行う。開口32は、本実施例では、下地が高いSiO₂膜12上に形成されるので、図3(a)に示した開口15と寸法は異なるが類似のパターンになる。

【0022】次に、公知のドライエッチング技術で、開口32を通して、つまりSiN膜26とフォトレジスト31とをマスクにして、図2(a)に示す様に、多結晶Si膜14を異方性エッチングする。

【0023】次に、公知の技術でフォトレジスト31、SiO₂膜27及びSiN膜26を順次に除去して、図2(b)に示す様に、多結晶Si膜14の全体を露出させる。その後は、図3に示した一従来例と同様な工程を実行して、図2(c)に示す様に多結晶Si膜17から成る制御ゲートの形成までを行い、更にビット線であるAl配線24(図3(a)参照)等を形成する。

【0024】以上の様な本実施例では、図1(c)からも明らかな様に、SiO₂膜27のうちでSiN膜26の側部を側壁状に覆っている部分の幅がSiO₂膜27の膜厚に等しく、また図2(a)からも明らかな様に、この幅が多結晶Si膜14同士のスペース幅25になる。

【0025】そして、SiO₂膜27の膜厚が既述の様に0.3 μ mであるので、スペース幅25も0.3 μ mになる。従って、スペース幅25が0.6 μ mである図3に示した一従来例に比べて、本実施例ではメモリセルの一辺の長さを0.3 μ mだけ短くすることができる。

【0026】

【発明の効果】請求項1の導電膜のパターン形成方法では、写真製版技術の限界よりも狭いスペース幅で導電膜同士を分離することができるので、微細なスペース幅で導電膜のパターンを形成することができる。

【0027】請求項2の不揮発性半導体記憶装置では、写真製版技術の限界よりも狭いスペース幅で浮遊ゲート同士が分離されており、メモリセル面積を小さくすることができるので、高集積化が可能である。

【図面の簡単な説明】

【図1】本願の発明の一実施例の前半の工程を順次に示す側断面図である。

【図2】一実施例の後半の工程を順次に示す側断面図である。

【図3】本願の発明の一従来例によって製造した不揮発性半導体記憶装置を示しており、(a)は平面図、(b)は(a)のb-b線に沿う位置の側断面図、(c)は(a)のc-c線に沿う位置の側断面図である。

【符号の説明】

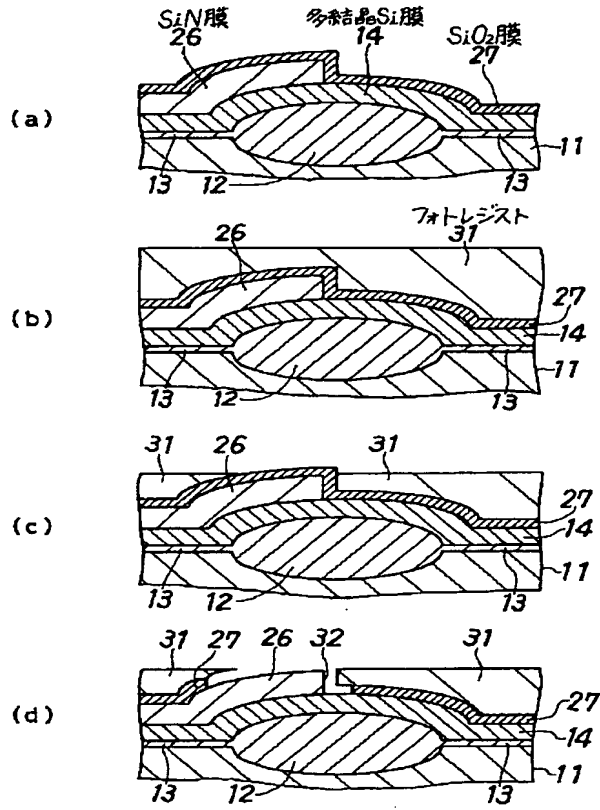
14 多結晶Si膜

25 スペース幅

5

26 SiN膜
27 SiO₂膜

【図1】

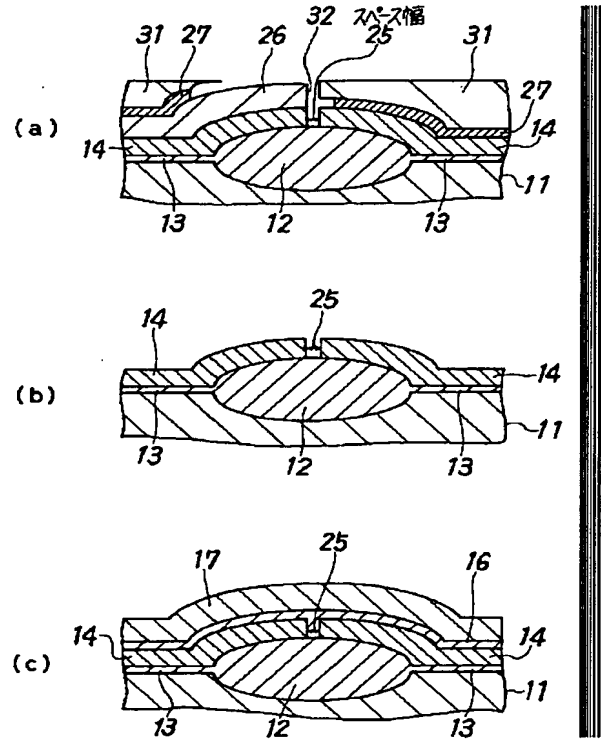


6

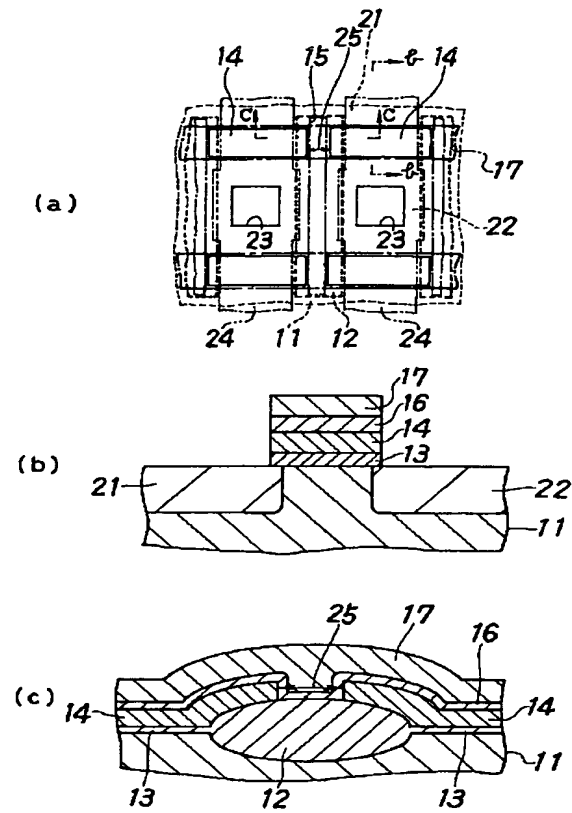
* 31 フォトリソグ

*

【図2】



【図 3】



THIS PAGE BLANK (USPTO)